

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11004595 A

(43) Date of publication of application: 06 . 01 . 99

(51) Int. Cl H02P 7/63

(21) Application number: 09197469

(71) Applicant: SONY CORP

(22) Date of filing: 23 . 07 . 97

(72) Inventor: KIKUCHI ATSUSHI

(30) Priority: 14 . 04 . 97 JP 09 96062

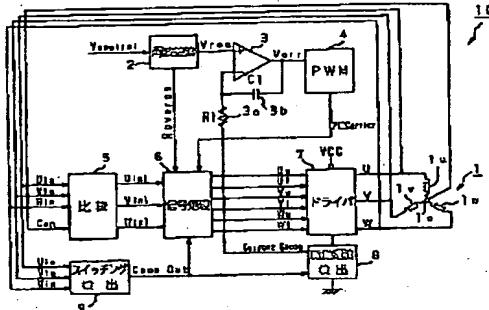
(54) MOTOR DRIVE EQUIPMENT

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To improve the start characteristics of a motor, by supplying a drive current subjected to switching based on PWM(pulse width modulation) signal directly to each phase coil of the motor, and preventing conduction in erroneous phase by improving the counterelectromotive force input by a motor drive equipment for driving this motor.

SOLUTION: A signal processing section 6 detects the rotation position of a rotor based on a counter-electromotive voltage generated and performs rotation control by switching control of the conducting state of the respective phase coils 1U, 1V and 1W. At this time, the signal processing section 6 detects the counter-electromotive force at a timing from a point in time of a transfer of the PWM signal to immediately before one-half period of the PWM signal, thereafter, the counter-electromotive force is detected at the timing of one-half of one duty ratio prescribed by the PWM signal until there is a subsequent transfer of the PWM signal.







示すように、第1のU相ノイズマスク回路5 8と、第1のDフリップフロップ6 0の出力をタイミングコントローラ5 1により生成される。また、第1のV相ノイズマスク回路5 9と、第1のW相ノイズマスク回路6 0とから構成される。

[006 0] 第1のU相ノイズマスク回路5 8には、比較部5 9から供給される比較信号U in 1と、インクリメント回路6 0とを有する。

[006 1] 第1のW相ノイズマスク回路6 0には、比較部5 9から供給される比較信号U in 1と、インクリメント回路6 0とを有する。

[006 2] 第1のDフリップフロップ6 0の入出力端のEX ORの反応をとるEX-OR反応ゲート6 0 cと、インバータ6 0 dを介したANDゲート6 0 aと、EX-OR反応ゲート6 0 bとを有する。

[006 3] 第1のV相ノイズマスク回路5 8には、第2のDフリップフロップ5 8 bの入出力端のEX ORの反応をとるEX-OR反応ゲート5 8 cと、インバータ5 8 dを介したEX-OR反応ゲート5 8 eとを有する。

[006 4] 第1のV相ノイズマスク回路5 9には、第2のDフリップフロップ5 9 bの入出力端のEX ORの反応をとるEX-OR反応ゲート5 9 cと、インバータ5 9 dを介したANDゲート5 9 aと、EX-OR反応ゲート5 9 bとを有する。

[006 5] 第1のV相ノイズマスク回路5 8には、第1と第2のANDゲート5 8 a、5 8 bの出力が供給されるORゲート5 8 eと、このORゲート5 8 eの出力をタイミングコントローラ5 1ににより生成された比較信号U in 1'を出力する第3のDフリップフロップ5 8 hとを有する。

[006 6] 第1のV相ノイズマスク回路5 9には、比較部5 9から供給される比較信号U in 1と、インクリメント回路6 0と、第1のDフリップフロップ6 0 aの出力をタイミングコントローラ5 1により生成される。

[006 7] 第1のW相ノイズマスク回路6 0には、第2のDフリップフロップ6 0 bの入出力端のEX ORの反応をとるEX-OR反応ゲート6 0 cと、インバータ6 0 dを介したANDゲート6 0 aと、EX-OR反応ゲート6 0 bとを有する。

[006 8] 第1のU相ノイズマスク回路5 8には、第1と第2のANDゲート6 0 a、6 0 bの出力が供給されるORゲート6 0 gと、このORゲート6 0 gの出力をタイミングコントローラ5 1に供給されると同時に、このORゲート6 0 aと、このORゲート6 0 bの出力が供給されるインバータ6 1 bと、このORゲート6 1 aとインバータ6 1 bの出力が供給され、逆起電圧信号U in 2を出力する第2のANDゲート6 0 fとを有する。

[006 9] このような構成の第1のノイズマスク回路6 2は、各第2のDフリップフロップ5 8 b、5 9 b、6 0 bが各出力端U in 1、Vin 1、Win 1をタイミングコントローラ5 1に供給されると同時に、このORゲート5 8 eの出力をタイミングコントローラ5 1に供給されると同時に、このORゲート6 0 gの出力をタイミングコントローラ5 1に供給されると同時に、このORゲート6 0 aと、このORゲート6 0 bの出力が供給されなければ、第3のDフリップフロップ5 8 h、5 9 h、6 0 hからの出力を更新せず、それ以外は前のデータを保持する。

[007 0] この第1のノイズマスク回路5 2は、U相、V相、W相の各相の第1のノイズマスク回路5 8、5 9、6 0から出力される比較信号U in 1'、Win 1'、Win 1を第2のノイズマスク回路6 0から他の比較信号Win 1'、Win 1と、フェーズ出力信号U out 1とが供給される。また、第1のV相ノイズマスク回路5 9には、第2のDフリップフロップ5 9 bの入出力端のEX ORの反応をとるEX-OR反応ゲート5 9 cと、インバータ5 9 dを介したEX-OR反応ゲート5 9 eと、インバータ5 9 fとを有する。

[007 1] 第1のV相ノイズマスク回路5 9には、比較部5 9から供給される比較信号U in 1と、インクリメント回路6 0とを有する。

[007 2] この各フェーズ出力信号U out 1、U out 2、U out 3、V out 1、V out 2、W out 1、W out 2、Win 1、Win 1'は、ワイヤ上に駆け流している3相モーター1の各相コイルを駆動する上層及び下層トランジスタを用いて駆動される。そのため、逆起電圧を供給すべく比較信号U in 1'に応じた信号を逆起電圧信号U in 2として出力する。

[007 3] 第2のU相ノイズマスク回路6 1には、比較部5 9から供給される比較信号U in 1と、インクリメント回路6 0とを有する。

[007 4] 第2のV相ノイズマスク回路6 1には、比較部5 9から供給される比較信号U in 1と、インクリメント回路6 0とを有する。

[007 5] 第2のW相ノイズマスク回路6 1には、比較部5 9から供給される比較信号U in 1と、インクリメント回路6 0とを有する。

きには、U相コイル1 UからV相コイル1 V又はW相コイル1 Wにドライブ電流が供給されているので、このU相コイル1 Uの起電圧として逆起電圧信号U in 2をハイにして出力する。

[007 6] また、第2のU相ノイズマスク回路6 1は、フェーズ出力信号U in 1とがハイのときには、逆起電圧信号U in 2をローにして出力する。すなわち、フェーズ出力信号U in 1とがハイのときには、V相コイル1 U又はW相コイル1 Wからハイのときには、V相コイル1 Uにドライブ電流が供給されているので、このV相コイル1 Uの起電圧として逆起電圧信号U in 2をローにして出力する。

[007 7] また、第2のU相ノイズマスク回路6 1は、フェーズ出力信号U in 1とがハイのときには、逆起電圧信号U in 2をハイにして出力する。すなわち、フェーズ出力信号U in 1とがハイのときには、V相コイル1 U又はW相コイル1 Wからハイのときには、V相コイル1 Uにドライブ電流が供給されているので、このV相コイル1 Uの起電圧として逆起電圧信号U in 2をローにして出力する。

[007 8] なお、第2のV相ノイズマスク回路6 2及び第2のW相ノイズマスク回路6 3についても、上述した第2のU相ノイズマスク回路6 1と同じ動作を行いう。

[007 9] なお、第2のV相ノイズマスク回路6 2及び第2のW相ノイズマスク回路6 3についても、各相の出力を各相のタイミング制御するための信号で、この出力である各フェーズ出力信号U out 1、U out 2、U out 3について詳細を説述する。

[007 10] 第2のノイズマスク回路5 3は、[图13]に示すように、第1のU相ノイズマスク回路5 8からの比較信号U in 1'、第2のフェーズ出力信号U out 1と、このORゲート6 1と、このORゲート6 2とを有する。

[007 11] また、第1のU相ノイズマスク回路5 8には、第1と第2のANDゲート6 0 a、6 0 bの出力が供給されるORゲート6 0 gと、このORゲート6 0 gの出力をタイミングコロックと同期化させて比較信号Win 1'を供給されるインバータ6 1 bと、このORゲート6 1 aとインバータ6 1 bの出力が供給され、逆起電圧信号U in 2を出力する。

[007 12] 第2のノイズマスク回路6 1では、Com port信号が切り替わったのちにタイミングロックを7カウントしてタイミングロックを発生させるので、PWM信号がオンない時はオフになつてからすべての不安定な出力状態では逆起電圧を検出せず、安定した状態では逆起電圧を検出できる。また、7カウントしたのは、Com port信号の切り替えがなければ、すなわち、PWM信号の切り替えがなければ、8カウント毎にタイミングロックを発生させ、逆起電圧を検出する。例に、PWM信号生成部4により発生するPWM信号は、メインクロックの1/6クロック分のオン領域がかかる1クロックまで変動させており、PWMの1周周期で必ず1回は逆起電圧を検出できる。例えば、オン領域はオフ領域がそれぞれ1/2ずつ(1/8クロック)であっても、逆起電圧を検出することができる。従つて、このタイミングロックトローラ6 1では、安定的に逆起電圧を検出させらるためのタイミングロックを生成することができる。

[007 13] 第2のノイズマスク回路6 1は、第1のV相ノイズマスク回路5 3は、U相、V相、W相の各相の第1のノイズマスク回路5 8、5 9、6 0から出力される比較信号U in 1'、Win 1'、Win 1を第2のノイズマスク回路6 0から他の比較信号Win 1'、Win 1と、フェーズ出力信号U out 1とが供給される。また、第1のV相ノイズマスク回路5 9には、第2のDフリップフロップ5 9 bの出力が供給され、逆起電圧信号Win 2を出力するANDゲート6 2とからなる第2のV相ノイズマスク回路6 2を有する。

[007 14] また、第2のノイズマスク回路5 3は、第1のV相ノイズマスク回路6 0から他の比較信号Win 1'、Win 1と、フェーズ出力信号U out 1とが供給されるORゲート6 3 aと、このORゲート6 3 bと、このORゲート6 3 cとインバータ6 3 bの出力が供給されると同時に、このORゲート6 3 aと、このORゲート6 3 cの出力を比較信号U in 1'に応じた信号を出力する。

[007 15] 第2のノイズマスク回路6 3には、比較部5 9から供給される比較信号U in 1と、インクリメント回路6 0とを有する。

[007 16] 第2のU相ノイズマスク回路6 1は、フェーズ出力信号U out 1、U out 2、U out 3、V out 1、V out 2、W out 1、W out 2がファイドバックされ読み取られる。

[007 17] この各フェーズ出力信号U out 1、U out 2、U out 3、V out 1、V out 2、W out 1、W out 2、Win 1、Win 1'には、ワイヤ上に駆け流している3相モーター1の各相コイルを駆動するための信号を用いて駆動される。そのため、逆起電圧を検出すべく比較信号U in 1'に応じた信号を逆起電圧信号U in 2として出力する。

[007 18] また、第2のV相ノイズマスク回路6 1には、第1と第2のANDゲート6 9 a、6 9 bの出力が供給されるORゲート6 9 bと、このORゲート6 9 bの出力をタイミングコロックと同期化させて比較信号Win 1'を出力する第3のDフリップフロップ5 9 bとを有する。

[007 19] 第1のU相ノイズマスク回路6 0には、比較部5 9から供給される比較信号U in 1と、インクリメント回路6 0とを有する。

[007 20] 第1のV相ノイズマスク回路6 0には、比較部5 9から供給される比較信号U in 1と、インクリメント回路6 0とを有する。

[007 21] 第1のW相ノイズマスク回路6 0には、比較部5 9から供給される比較信号U in 1と、インクリメント回路6 0とを有する。

V相コイル用の上層トランジスタを組み切り換えるタイミング制御するための信号、フェーズ出力信号V in 1'、V in 2'、V in 3'、W相コイル用の下層トランジスタを組み切り換えるタイミング制御するための信号、フェーズ出力信号W in 1'、W in 2'、W in 3'を有する。

[007 22] 第1のU相ノイズマスク回路5 8には、W相コイル用の上層トランジスタを組み切り換えるタイミング制御するための信号で、この出力である各フェーズ出力信号U out 1、U out 2、U out 3について詳細を説述する。

[007 23] なお、第2のV相ノイズマスク回路6 2及び第2のW相ノイズマスク回路6 3についても、各相の出力を各相のタイミング制御するための信号で、この出力である各フェーズ出力信号U out 1、U out 2、U out 3について詳細を説述する。

[007 24] なお、第2のV相ノイズマスク回路6 2及び第2のW相ノイズマスク回路6 3についても、各相の出力を各相のタイミング制御するための信号で、この出力である各フェーズ出力信号U out 1、U out 2、U out 3について詳細を説述する。

[007 25] なお、第2のV相ノイズマスク回路6 2及び第2のW相ノイズマスク回路6 3についても、各相の出力を各相のタイミング制御するための信号で、この出力である各フェーズ出力信号U out 1、U out 2、U out 3について詳細を説述する。

[007 26] なお、第2のV相ノイズマスク回路6 2及び第2のW相ノイズマスク回路6 3についても、各相の出力を各相のタイミング制御するための信号で、この出力である各フェーズ出力信号U out 1、U out 2、U out 3について詳細を説述する。

[007 27] なお、第2のV相ノイズマスク回路6 2及び第2のW相ノイズマスク回路6 3についても、各相の出力を各相のタイミング制御するための信号で、この出力である各フェーズ出力信号U out 1、U out 2、U out 3について詳細を説述する。

[007 28] なお、第2のV相ノイズマスク回路6 2及び第2のW相ノイズマスク回路6 3についても、各相の出力を各相のタイミング制御するための信号で、この出力である各フェーズ出力信号U out 1、U out 2、U out 3について詳細を説述する。

[007 29] なお、第2のV相ノイズマスク回路6 2及び第2のW相ノイズマスク回路6 3についても、各相の出力を各相のタイミング制御するための信号で、この出力である各フェーズ出力信号U out 1、U out 2、U out 3について詳細を説述する。

[007 30] なお、第2のV相ノイズマスク回路6 2及び第2のW相ノイズマスク回路6 3についても、各相の出力を各相のタイミング制御するための信号で、この出力である各フェーズ出力信号U out 1、U out 2、U out 3について詳細を説述する。

[007 31] なお、第2のV相ノイズマスク回路6 2及び第2のW相ノイズマスク回路6 3についても、各相の出力を各相のタイミング制御するための信号で、この出力である各フェーズ出力信号U out 1、U out 2、U out 3について詳細を説述する。

[007 32] なお、第2のV相ノイズマスク回路6 2及び第2のW相ノイズマスク回路6 3についても、各相の出力を各相のタイミング制御するための信号で、この出力である各フェーズ出力信号U out 1、U out 2、U out 3について詳細を説述する。

[007 33] なお、第2のV相ノイズマスク回路6 2及び第2のW相ノイズマスク回路6 3についても、各相の出力を各相のタイミング制御するための信号で、この出力である各フェーズ出力信号U out 1、U out 2、U out 3について詳細を説述する。

[007 34] なお、第2のV相ノイズマスク回路6 2及び第2のW相ノイズマスク回路6 3についても、各相の出力を各相のタイミング制御するための信号で、この出力である各フェーズ出力信号U out 1、U out 2、U out 3について詳細を説述する。

第1のDフリップフロップ6 0と、第1のV相ノイズマスク回路5 8と、第1のW相ノイズマスク回路5 9と、第1のDフリップフロップ6 0の出力をタイミングコントローラ5 1により生成される。

また、第1のU相ノイズマスク回路5 8と、第1のDフリップフロップ6 0とを有する。

[008 0] 第1のU相ノイズマスク回路5 8には、W相コイル用の上層トランジスタを組み切り換えるタイミング制御するための信号で、この出力である各フェーズ出力信号U out 1、U out 2、U out 3について詳細を説述する。

[008 1] 第1のV相ノイズマスク回路5 8には、W相コイル用の下層トランジスタを組み切り換えるタイミング制御するための信号で、この出力である各フェーズ出力信号U out 1、U out 2、U out 3について詳細を説述する。

[008 2] 第1のW相ノイズマスク回路5 9には、W相コイル用の上層トランジスタを組み切り換えるタイミング制御するための信号で、この出力である各フェーズ出力信号U out 1、U out 2、U out 3について詳細を説述する。

[008 3] 第1のDフリップフロップ6 0の出力をタイミングコントローラ5 1により生成される。

[008 4] 第1のV相ノイズマスク回路5 9には、W相コイル用の下層トランジスタを組み切り換えるタイミング制御するための信号で、この出力である各フェーズ出力信号U out 1、U out 2、U out 3について詳細を説述する。

[008 5] 第1のW相ノイズマスク回路6 0には、W相コイル用の上層トランジスタを組み切り換えるタイミング制御するための信号で、この出力である各フェーズ出力信号U out 1、U out 2、U out 3について詳細を説述する。

[008 6] 第1のDフリップフロップ6 0の出力をタイミングコントローラ5 1により生成される。

[008 7] 第1のV相ノイズマスク回路6 0には、W相コイル用の下層トランジスタを組み切り換えるタイミング制御するための信号で、この出力である各フェーズ出力信号U out 1、U out 2、U out 3について詳細を説述する。

[008 8] 第1のW相ノイズマスク回路6 0には、W相コイル用の上層トランジスタを組み切り換えるタイミング制御するための信号で、この出力である各フェーズ出力信号U out 1、U out 2、U out 3について詳細を説述する。

[008 9] 第1のDフリップフロップ6 0の出力をタイミングコントローラ5 1により生成される。

[008 10] 第1のV相ノイズマスク回路6 0には、W相コイル用の下層トランジスタを組み切り換えるタイミング制御するための信号で、この出力である各フェーズ出力信号U out 1、U out 2、U out 3について詳細を説述する。

[008 11] 第1のW相ノイズマスク回路6 0には、W相コイル用の上層トランジスタを組み切り換えるタイミング制御するための信号で、この出力である各フェーズ出力信号U out 1、U out 2、U out 3について詳細を説述する。

イルが切換する毎の不動作を生ずる。このため、スタートロジック2.5は、ハイレベルのスタートフラグが供給されるタイミング、すなわち、逆起電圧をサンプリングした通電を切り替えた直後から動作し、各TFリップフロップ2.6～2.6にによりシステムクロック(SYCl0ck)を生成する。

[0112.1] また、発振ロジック2.8は、モータオシオブ制御信号(MON/OFF)をシステムクロック(SYCl0ck)に同期させた信号を生成して、アトブットロジック2.4に供給される。

[0112.2] また、発振ロジック2.8は、リバース信号(Reverse)をシステムクロック(SYCl0ck)に同期させたシステムリバース信号(Reverse)を生成して、アトブットロジック2.4に供給する。

[0112.3] 次に、3フェーズロジック2.3について解説する。

[0112.4] この3フェーズロジック2.3は、図2.3に示すように、逆起電圧供給ロジック2.1からの逆起電圧信号Uin2,Vin2,Win2と、3フェーズロジック2.3からの第1のマスク信号(Mask1)と、システムクロック(SYCl0ck)が供給され、逆起電圧信号Uin2',Vin2',Win2'を生成する。

[0112.5] なお、アンダル生成ロジック2.6は、信号処理部6とのプロロジックとは異なりアナログ回路で構成されている。そのため、例えば、半導体等での信号処理部6を実現するときは、このプロロジックを別途他の半導体等で組成しても良い。

[0112.6] このアンダル生成ロジック2.6により生成されたアンダル信号(ANGLE)は、アトブットロジック2.4に供給される。このため、この部屋に隣接されることなく駅舎に応じた位置の値を設定すればよい。

[0112.7] 次に、PLLロジック2.7は、図2.2に示すような駆動を有しており、並列比較器8.6において、エンジ積出ロジック2.2から供給されるラッチ(Latch)信号の並びと、起動可変電圧器(VCO)8.8から出力されるPLL OUT信号を、1/Nカウンタ58で例えば8分周数は1/6分割した分周信号(F1n)の並相とを比較する。そして、この並列比較出力をロードスイッチ8.7を介してVCO8.8に供給してこのVCO8.8を起動調整する。これにより、ラッチ(Latch)信号に同期したPLL OUT信号を生成して発振ロジック2.8に供給する。

[0112.8] なお、エンジ積出ロジック2.2から供給されるラッチ(Latch)信号は、信号の安定化を図るために、システムクロックと同期させたのちにこのPLLロジック2.7に供給するようにしてよい。また、このPLLロジック2.7は、アンダル生成ロジック2.6と共に、アナログ回路で構成されている。そのため、例えば、半導体等での信号処理部6を実現するときは、このプロロジックを別途他の半導体等で構成しても良い。

[0112.9] また、発振ロジック2.8は、同底電流部2からのリバース信号(Reverse)、中央微音ニシット(CPU)等で生成されたモーターのオンオフ制御信号(MON/OFF)、PLL回路2.5からのPLL OUT信号、射出は5.00KHzのメインクロック(Main Clock)及びPWM信号生成部4からのPWM信号(PWM In)に基づいて、各種タイミング信号を生成する。

[0112.10] 発振ロジック2.8は、PLL OUT信号をメインクロックと同期させたシステムクロック(SYClock)を生成する。このシステムクロックは、エッジ検出ロジック2.2の出力がハンチングした場合などでも、3相モーター1の運動に影響がないようにしている。

が大きくなるアンダル信号(ANGLE)信号を生成できる。

[0113.1] 図2.1は、PWM用の幅波とアンダル信号(ANGLE)信号を示したタイムチャート及び波形図である。

[0113.2] 図2.1(a)は、コンバーティング8.5に入力されるPWM用幅波と、スロープ回路8.1の出力である。台形波の立ち下り部分の波形図である。コンバーティング8.5により生成されるアンダル信号(ANGLE)は、図2.1(b)に示すように、台形波が下がるにつれてデューリーが大きくなっている。

[0113.3] また、このスタートロジック2.5は、逆起電圧信号のゼロスボイントが検出されランチ(Latch)信号によって各TFリップフロップ2.5a～2.5eがセッティングされることにより動作が停止する。

[0113.4] なお、システムクロック(SYCl0ck)のカウント数(この場合は2カウント)は、3相モーター1が停止しているものとみなし、次の通常パターンとするためのいの信号を出力する。

[0113.5] なお、アンダル生成ロジック2.6は、信号処理部6とのプロロジックとは異なりアナログ回路で構成されている。そのため、例えば、半導体等での信号処理部6を実現するときは、このプロロジックを別途他の半導体等で組成しても良い。

[0113.6] このアンダル生成ロジック2.6により生成されたアンダル信号(ANGLE)は、アトブットロジック2.4に供給される。

[0113.7] 次に、PLLロジック2.7は、図2.2に示すような駆動を有しており、並列比較器8.6において、エンジ積出ロジック2.2から供給されるラッチ(Latch)信号の並びと、起動可変電圧器(VCO)8.8と、このPLL OUT信号を、1/Nカウンタ58で例えば8分周数は1/6分割した分周信号(F1n)の並相とを比較する。

[0113.8] なお、エンジ積出ロジック2.2は、フェーズ生成回路3.2からの逆起電圧信号Uires,Vres,Wresが供給され、フェーズ出力信号Uiuo,Uuo,Ulout,Vuoout,Vlout,Wuooutと、第2のマスク信号(Mask2)が供給され、逆起電圧信号Uires,Vres,Wresを生成するフェーズ生成回路3.2を有する。

[0113.9] また、3フェーズロジック2.3は、フェーズ生成回路3.2からの逆起電圧信号Uires,Vres,Wresが供給され、フェーズ出力信号Uiuo,Uuo,Ulout,Vuoout,Vlout,Wuooutと、第3のマスク信号(Mask3)が供給され、逆起電圧信号Uires,Vres,Wresが供給される。

[0113.10] 次に、PLLロジック2.7は、フェーズ生成回路3.2からの逆起電圧信号Uires,Vres,Wresが供給され、エンジ積出ロジック2.2の切替エンジ後出回路7.2に供給するエンジマスク信号(Emask)信号を生成するエンジマスク信号回路Emaskと、第3のマスク信号(Mask3)が生成するデコード回路7.3を有する。

[0113.11] このフェーズ生成回路3.2には、图2.2(e)で示したよう、逆起電圧信号Uin2',Vin2',Win2'が供給される。この第1のマスク信号(Mask1)が供給され、切り替わったタイミングつまり明管エッジでハイになり、次のエッジがくるであるラティミングの手前でより、次のエッジがくるであるラティミングの手前でより、各TFリップフロップ2.5a～2.5eに供給される。

[0113.12] フェーズ生成回路3.2は、S1e信号に基づいて各逆起電圧信号Uin2',Vin2',Win2'、Wi2'を生成する。

[0113.13] このように、マスク回路3.1は、第1のマスク信号(Mask1)に基づいて逆起電圧信号Uin2',Vin2'、Win2'を生成し、フェーズ生成回路3.2に供給する。

[0113.14] また、3相モーター1のマスク信号(Mask1)が供給される逆起電圧信号Uin2',Vin2',Win2'を出力する。

[0113.15] このように、マスク回路3.1は、第1のマスク信号(Mask1)に基づいて逆起電圧信号Uin2',Vin2'、Win2'を生成する。

トロジック2.5等に供給される。

[0113.16] また、発振ロジック2.8は、モータオシオブ制御信号(MON/OFF)をシステムクロック(SYCl0ck)に同期させた信号を生成して、アトブットロジック2.4に供給される。

[0113.17] また、発振ロジック2.8は、リバース信号(Reverse)をシステムクロック(SYCl0ck)に同期させたシステムリバース信号(Reverse)を生成して、アトブットロジック2.4に供給する。

[0113.18] また、3フェーズロジック2.3について解説する。

[0113.19] この3フェーズロジック2.3は、図2.3に示すように、逆起電圧供給ロジック2.1からの逆起電圧信号Uin2,Vin2,Win2と、第1と第2のANDゲート3.6a～3.6bと、この第1と第2のANDゲート3.6cと、逆起電圧信号Uin2',Vin2',Win2'を出力する。

[0113.20] また、マスク回路3.6cと、この第1と第2のANDゲート3.6dと、このORゲート3.6dの出力をシステムクロック(SYClock)が供給される第1のANDゲート3.6eと、後述するDフリップフロップ3.6の出力と第1のマスク信号(Mask1)が供給される第2のANDゲート3.6fと、この第1と第2のANDゲート3.6gと、逆起電圧信号Uin2',Vin2',Win2'を出力する。

[0113.21] また、マスク回路3.6fと、この第1と第2のANDゲート3.6hと、この第1と第2のANDゲート3.6iと、逆起電圧信号Uin2',Vin2',Win2'を出力する。

[0113.22] また、マスク回路3.6jと、この第1と第2のANDゲート3.6kと、この第1と第2のANDゲート3.6lと、逆起電圧信号Uin2',Vin2',Win2'を出力する。

[0113.23] また、マスク回路3.6mと、この第1と第2のANDゲート3.6nと、このORゲート3.6nの出力をシステムクロック(SYClock)が供給される第1のANDゲート3.6oと、後述するDフリップフロップ3.6の出力と第1のマスク信号(Mask1)が供給される第2のANDゲート3.6pと、逆起電圧信号Uin2',Vin2',Win2'を出力する。

[0113.24] また、マスク回路3.6qと、この第1と第2のANDゲート3.6rと、逆起電圧信号Uin2',Vin2',Win2'を出力する。

[0113.25] また、マスク回路3.6sと、この第1と第2のANDゲート3.6tと、逆起電圧信号Uin2',Vin2',Win2'を出力する。

[0113.26] また、マスク回路3.6uと、この第1と第2のANDゲート3.6vと、逆起電圧信号Uin2',Vin2',Win2'を出力する。

[0113.27] また、マスク回路3.6wと、この第1と第2のANDゲート3.6xと、逆起電圧信号Uin2',Vin2',Win2'を出力する。

[0113.28] また、マスク回路3.6yと、この第1と第2のANDゲート3.6zと、逆起電圧信号Uin2',Vin2',Win2'を出力する。

[0113.29] そのため、このマスク回路3.1では、例えば、逆起電圧信号2.1の出力がハンチングした場合などでも、3相モーター1の運転に影響がないようにしていている。

[0112.9] 具体的に、マスク回路3.1は、図2.2に示すように、逆起電圧信号Uin2とインバータ3.5cに反応された第1のマスク信号(Mask1)が供給される第1のANDゲート3.6aと、後述するDフリップフロップ3.6bと、この第1のマスク信号(Mask1)により生成された信号を生成して、アトブットロジック2.4に供給される。

[0112.10] また、発振ロジック2.8は、モータオシオブ制御信号(MON/OFF)をシステムクロック(SYCl0ck)に同期させた信号を生成して、アトブットロジック2.4に供給される。

[0112.11] また、発振ロジック2.8は、リバース信号(Reverse)をシステムクロック(SYCl0ck)に同期させたシステムリバース信号(Reverse)を生成して、アトブットロジック2.4に供給する。

[0112.12] また、3フェーズロジック2.3について解説する。

[0112.13] この3フェーズロジック2.3は、図2.3に示すように、逆起電圧供給ロジック2.1からの逆起電圧信号Uin2,Vin2,Win2と、3フェーズロジック2.3からの第1のマスク信号(Mask1)に由来する逆起電圧信号Uin2',Vin2'を出力する。

[0112.14] また、マスク回路3.6cと、この第1と第2のANDゲート3.6dと、このORゲート3.6dの出力をシステムクロック(SYClock)が供給される第1のANDゲート3.6eと、後述するDフリップフロップ3.6の出力と第1のマスク信号(Mask1)が供給される第2のANDゲート3.6fと、逆起電圧信号Uin2',Vin2'を出力する。

[0112.15] また、マスク回路3.6gと、この第1と第2のANDゲート3.6hと、このORゲート3.6hの出力をシステムクロック(SYClock)が供給される第1のANDゲート3.6iと、後述するDフリップフロップ3.6の出力と第1のマスク信号(Mask1)が供給される第2のANDゲート3.6jと、逆起電圧信号Uin2',Vin2'を出力する。

[0112.16] また、マスク回路3.6kと、この第1と第2のANDゲート3.6lと、このORゲート3.6lの出力をシステムクロック(SYClock)が供給される第1のANDゲート3.6mと、後述するDフリップフロップ3.6の出力と第1のマスク信号(Mask1)が供給される第2のANDゲート3.6nと、逆起電圧信号Uin2',Vin2'を出力する。

[0112.17] また、マスク回路3.6pと、この第1と第2のANDゲート3.6qと、このORゲート3.6qの出力をシステムクロック(SYClock)が供給される第1のANDゲート3.6rと、後述するDフリップフロップ3.6の出力と第1のマスク信号(Mask1)が供給される第2のANDゲート3.6sと、逆起電圧信号Uin2',Vin2'を出力する。

[0112.18] また、マスク回路3.6uと、この第1と第2のANDゲート3.6vと、このORゲート3.6vの出力をシステムクロック(SYClock)が供給される第1のANDゲート3.6wと、後述するDフリップフロップ3.6の出力と第1のマスク信号(Mask1)が供給される第2のANDゲート3.6xと、逆起電圧信号Uin2',Vin2'を出力する。

[0112.19] また、マスク回路3.6yと、この第1と第2のANDゲート3.6zと、このORゲート3.6zの出力をシステムクロック(SYClock)が供給される第1のANDゲート3.6aと、後述するDフリップフロップ3.6の出力と第1のマスク信号(Mask1)が供給される第2のANDゲート3.6bと、逆起電圧信号Uin2',Vin2'を出力する。

[0112.20] また、マスク回路3.6yと、この第1と第2のANDゲート3.6zと、このORゲート3.6zの出力をシステムクロック(SYClock)が供給される第1のANDゲート3.6aと、後述するDフリップフロップ3.6の出力と第1のマスク信号(Mask1)が供給される第2のANDゲート3.6bと、逆起電圧信号Uin2',Vin2'を出力する。

[0112.21] そのため、このマスク回路3.1では、例えば、逆起電圧信号2.1の出力がハンチングした場合などでも、3相モーター1の運転に影響がないようにしていている。

[0112.22] そのため、このマスク回路3.1では、例えは、逆起電圧信号2.1の出力がハンチングした場合などでも、3相モーター1の運転に影響がないようにしていている。

(S1op) との論理積を第3のV相マスク信号 (Mask3-W) として出力する。

[0160] U相マスク生成回路4-7は、逆起電圧信号 Ures 、Wres 及び第3のインバータ～Vres 、Wres のどのエッジがくるかを予測し、翌々 (1) ～ (n) に示すように、各第2のマスク信号 (Mask2-V, Mask2-W) 及び第3のマスク信号 (Mask3-V, Mask3-W) としてフェーズ生成回路3-2に供給される。

[0161] このような構成を有するデコード回路3-3は、各逆起電圧信号 Ures 、Wres が供給される第1のANDゲート4-7と、第1のインバータ～インバータ3-3により反転された逆起電圧信号 Ures 、Wres 及び起電圧信号 Wres が供給される第2のANDゲート4-7と、この第1と第2のANDゲート4-7～4-9の各出力の論理和を出力するORゲート4-7として構成されている。

[0162] そして、第1のANDゲート3-3では、U相マスク生成回路4-7の出力、ラッチ (Latch) 信号との論理積を第2のU相マスク信号 (Mask2-U) として出力する。また、第2のANDゲート3-3では、U相マスク生成回路4-7の出力と、スローフ信号 (Slow) との論理積を第3のU相マスク信号 (Mask3-U) として出力する。

[0163] V相マスク生成回路4-8は、逆起電圧信号 Ures 、第2のインバータ3-3bにより反転された逆起電圧信号 Wres 、及び第3のインバータ3-3cにより反転された逆起電圧信号 Wres が供給される第1のANDゲート4-8と、第1のインバータ3-3aにより反転された逆起電圧信号 Ures 、逆起電圧信号 Wres 及び第3のANDゲート4-8～4-11の回路構成が規定以上に遅くなる。

[0164] W相マスク生成回路4-9は、第1のインバータ～Vres 、Wres のどのエッジがくるかを予測し、逆起電圧信号 Vres 、Wres 及び第3のインバータ3-3cにより反転された逆起電圧信号 Wres 、逆起電圧信号 Wres 、及び第3のV相マスク信号 (Mask3-V) として出力する。

[0165] そして、第1のANDゲート3-3 (1) ～ W相マスク生成回路4-8の出力、ラッチ (Latch) 信号との論理積を第2のV相マスク信号 (Mask2-W) 及び第6のANDゲート3-3 (1) ～ W相マスク生成回路4-9の出力、ラッチ (Latch) 信号との論理積を第2のV相マスク信号 (Mask2-V) として出力する。

[0166] このような構成を有するデコード回路3-3は、各逆起電圧信号 Ures 、Wres 及び第3のインバータ～Vres 、Wres のどのエッジがくるかを予測し、翌々 (1) ～ (n) に示すように、各第2のマスク信号 (Mask2-V, Mask2-W) 及び第3のマスク信号 (Mask3-V, Mask3-W) としてフェーズ生成回路3-2に供給される。

[0167] フェーズ出力信号 Uout 、Wout 、Vout 、Vout が供給される。この反転回路9-1には、このリバース信号 (Reverse) がハイときには、上層トランジスタと下層トランジスタのコントロール信号の駆動論理を入れ替えてPWM合成回路9-2に出力する。また、リバース信号 (Reverse) 信号がローのときは上層トランジスタと下層トランジスタのコントロール信号はそのまままでPWM合成回路9-2に出力する。

[0168] フェーズ出力信号 Uout 、Wout 、Vout が供給され、エッジ検出ロジック2-2に供給する。

[0169] フェーズマスク信号 (Edg eMask) を生成する。

[0170] 具体的には、エッジマスク生成回路3-4は、選2 (1) に示す第1の通電パターン (H, L, H) 及び第2の通電パターン (H, L, L) であるときには、選2 (1) に示すようなくらいレベルとなる同図 (o) に示すような第1のフェーズ出力信号 Uout が高出力される。同じく、デコード回路3-3からこの間ハイレベルとなる第2のU相マスク信号 (Mask2-U) と、第2のインバータ3-4bにより反転された逆起電圧信号 Wres が供給される第1のANDゲート3-4と、第1のインバータ3-4aにより反転された逆起電圧信号 Vres が供給される第2のANDゲート3-4と、逆起電圧信号 Wres 及び第3のインバータ3-4cにより反転された逆起電圧信号 Wres が供給される第3のANDゲート3-4fと、逆起電圧信号 Ures 、逆起電圧信号 Vres 、Wres が供給される第2のANDゲート3-4eと、この類似と第2のANDゲート9-3a、9-3bの論理和をフェーズ出力信号 Uout として出力するORゲート9-3dとをしており。

[0171] また、反転回路9-1は、リバース信号 (Reverse) 信号、フェーズ出力信号 Uout が供給されると第1のANDゲート9-4a、9-4bと、インバータ9-4cにより反転されたリバース信号 (Reverse) 信号、フェーズ出力信号 Uout が供給される第2のANDゲート9-4bと、この第1と第2のANDゲート9-4a、9-4bの論理和をフェーズ出力信号 Uout として出力するORゲート9-4dとをしており。

[0172] 反転回路9-1は、インバータ9-5cにより反転されたリバース信号 (Reverse) 信号、フェーズ出力信号 Uout が供給される第3のANDゲート9-5と、この第1と第2のANDゲート9-5a、9-5bの論理和を出力する。

[0173] 反転回路9-1は、リバース信号 (Reverse) 信号、フェーズ出力信号 Uout が供給されると第1のANDゲート9-6aと、この第1と第2のANDゲート9-6bと、この第1と第2のANDゲート9-6cにより反転されたリバース信号 (Reverse) 信号、フェーズ出力信号 Uout が供給される第2のANDゲート9-6bと、9-6cの論理和を出力する。

[0174] この様な構成を有することにより、エッジマスク生成回路3-4は、選2 (1) に示すような各逆起電圧信号 Ures 、Wres 、Vres が供給される第3のV相マスク信号 (Mask3-V) と、これら第1～第4のANDゲート3-4d～3-4eの出力の論理和を出力するORゲート3-4fとを有している。

[0175] 10175] この様な構成を有することにより、エッジマスク生成回路3-4は、選2 (1) に示す第3のV相マスク信号 (Mask3-V) と、これら第3～第4のANDゲート3-4b～3-4cの出力の論理和を出力するORゲート3-4dとを有している。

[0176] 10176] 次に、アウトプットロジック2-4に供給するV相出力信号 Vout が供給される。

[0177] 10177] 反転回路9-1には、リバース信号 (Reverse) 信号、フェーズ出力信号 Uout が供給されると第1のANDゲート9-7cと、この第1と第2のANDゲート9-7a、9-7bの論理和を出力する。

[0178] 10178] 反転回路9-1は、リバース信号 (Reverse) 信号、フェーズ出力信号 Uout が供給されると第1のANDゲート9-8a、9-8bの論理和を出力する。

[0179] 10179] 3相モーター1の回転数が規定以上に遅くなる。例えはサーが制御系から出力される回転サーボ信号が、回転数を算定するためにマイナス入力となると、回転速度部2から、リバース信号 (Reverse) が高出力され、このリバース信号は、回転数を算定ブレーキモードとなった場合に、後述するドライバーの上層、下層トランジスタの駆動論理を反転させ、逆方向通電を行い3相モーター1にブレーキをかけるための信号である。

b, 124 b, 125 bのコレクタに接続されており、各上層トランジスタ123 a, 124 a, 125 aの各エミッタと、各下層トランジスタ123 b, 124 b, 125 bのコレクタとの接続から3相モータ1の各相コイル1 U, 1 V, 1 Wに供給する駆動電圧を取り出している。

[0 2 0 5] このような構成を有するドライバ1は、新1から第6のコントロール信号U, U1, V, V1, W, W1が供給されると、これに応じて各上層トランジスタ123 a, 124 a, 125 a及び各下層トランジスタ123 b, 124 b, 125 bがそれぞれオフ制御される。そして、この各上層トランジスタ123 a, 124 a, 125 a及び各下層トランジスタ123 b, 124 b, 125 bのオンオフ制御に応じた電源电压Vcが、各接続点から取り出され、これらが駆動電圧U, V, Wとして図11に示す3相モータ1の各相コイル1 U, 1 V, 1 Wにそれぞれ供給される。

[0 2 0 6] つぎに、駆動電流検出部8は、図14に示すように、ドライバ1のドライブ電流が供給される電流検出抵抗R Sと、この電流検出抵抗R Sの両端の電圧を検出する電圧計器1.31とを有する。また、駆動電流検出部8は、スイッチング検出部9からのComp Out信号に基づいて、増幅器1.31の出力電圧をスイッチングするスイッチング素子1.32と、増幅器1.31の出力電圧がスイッチング素子1.32を介して供給される積分器1.33とを有する。

[0 2 0 7] このような構成を有する駆動電流検出部8では、各相コイル1 U, 1 V, 1 Wにそれぞれ供給される駆動電流が、それぞれ電流検出抵抗R Sにより電圧のかたちで検出される。この電流検出抵抗R Sにより検出された駆動電圧は、増幅器1.31で増幅及びインピーダンス変換され、スイッチング素子1.32を介して、抵抗及びコンデンサからなる積分器1.33に供給される。

[0 2 0 8] このとき、電流検出抵抗R Sには、PWM駆動された電圧が間欠的に流れており、スイッチング素子1.32は、Comp Out (信号に基づき積分器1.33に供給する電圧)をスイッチングしている。つまり、積分器1.33には、ドライバ1に供給される PWM信号がONになつているときに生じる電流検出抵抗R Sの電圧が供給される。そして、この積分器1.33から、駆動電流検出電圧 (Current Sense) が取出される。

[0 2 0 9] また、積分器1.33は、Comp Out (信号がオフしたときに、サンプルホールド回路としての機能が働くため、隙間に3相モータ1に流れが切れた場合の状態に近づけるため、所定の時定数をもつホールドした電圧の値を徐々に小さくする。

[0 2 1 0] すなわち、駆動電流検出部8では、ダイレクトPWM駆動をしている3相モータ1に流れが切れた場合の状態に近づけるため、ドライバ1がONしているときには通常の電流検出を行って駆動電流検出部8では、モータを定期的に駆動できる。

[0 2 1 1] また、本発明に係るモータ駆動装置では、各相コイルを駆動するPWMコントロール信号を切り替える場合に、その切り替えエンジンの前後のPWMコントロール信号のデューティをせらかに変化させることにより、音ノイズやキックバックノイズを除去することができ、モータを安定的に駆動できる。

[0 2 1 2] また、本発明に係るモータ駆動装置では、PWMのオフ領域でドライバ電流が検出せずサンプリング値を出力することにより、モータのトルクの正逆の切り替え時に生ずる不連続部分がなくなり、モータトルクのリニアリティを確保することができる。

[0 2 1 3] 最後に、上述の実施の形態の説明では、モータ駆動装置10は3相モータ1を駆動するモータ駆動装置10であることをしたが、これは、例えば2相モータ、4相モータ等、他の構造のモータの回路駆動装置に適用可能である。また、メインクロックは500KHzであり、これを1.6カウントして各層のタイミング信号を生成する等のように、具体的な構造を掲げては明したが、これは設計に応じて変更可能であり、この他、本発明に係る技術的実態を逸脱しない範囲であれば種々の変更が可能であることは勿論である。

[0 2 1 4] 「発明の実施」本発明に係るモータ駆動装置では、タイミングコントロール信号が、PWM信号を切り替えるためのPWM信号の周波数の1/2の直前のタイミングで電圧R Sの出力を制御し、PWM信号で規定された電圧R Sを抑止するためのタイミングでモータ駆動装置のモータ駆動装置の比較部に送られた後PWM信号の切り替えるまでのPWM信号が規定された1デューティの1/2のタイミングで逆走電圧の出力を抑止し、ドライバ電流が供給して、モータをPWM信号に基づいて駆動する。このことにより、逆走電圧を検出するノイズを除去し、モータを安全的に駆動することができる。すなわち、PWM信号がオフになるとすべての不安定な出力が消え、逆走電圧は検出せず、安定した状態で逆走電圧を検出できる。

[0 2 1 5] また、本発明に係るモータ駆動装置では、切り替わりエンジンが検出されながらつぎの切り替わりエンジンが検出される直前まで、逆走電圧の検出を停止する。

ことにより、逆走電力が検出できるコイルの逆走電圧のみを検出することができ、ノイズに影響されずにモータの駆動ができる。

[0 2 1 6] また、本発明に係るモータ駆動装置では、各相コイルを駆動するPWMコントロール信号を切り替える場合に、その切り替えエンジンの前後のPWMコントロール信号のデューティをせらかに変化させることにより、音ノイズやキックバックノイズを除去することができ、モータを安定的に駆動できる。

[0 2 1 7] このような駆動電流検出部8を用いることにより、回路サーキットが回路板に搭載されたときにマイナス入力となつたときに、上述したアクトブリオジック2.4において、上層、下層トランジスタの駆動の駆動命令を完全に反転して制御できる。そのため、駆動電流検出部8は、図15ように示すように、從来生じていたモータのトルクの正逆の切り替え時に生ずる不連続部分がなくなり、モータトルクのリニアリティを確保することができる。

[0 2 1 8] また、積分器1.3が所定の時定数をもつてサンプルホールドするので、3相モータ1がオフしたときに、回路を制御することができる。

[0 2 1 9] また、本発明に係るモータ駆動装置では、PWMのオフ領域でドライバ電流を検出せずサンプリング値を出力することにより、モータのトルクの正逆の切り替え時に生ずる不連続部分がなくなり、モータトルクのリニアリティを確保することができる。

[0 2 1 10] また、本発明に係るモータ駆動装置では、PWMのオフ領域でドライバ電流を検出せずサンプリング値を出力することにより、モータのトルクのリニアリティを確保することができる。

[0 2 1 11] 上記信号処理部のPLLロジックのプロセスである。

[0 2 1 12] 上記PLLロジックのタイムマスターである、アンプ信号 (ANGLE) を説明するためのタイムチャートである。

[0 2 1 13] 上記信号処理部の3フェーズロジックのプロセスである。

[0 2 1 14] 上記3フェーズロジックのマスク回路の回路図である。

[0 2 1 15] 上記3フェーズロジックのフェーズ生成回路の回路図である。

[0 2 1 16] 上記3フェーズロジックのコード回路の回路図である。

[0 2 1 17] 上記3フェーズロジックのデコード回路の回路図である。

[0 2 1 18] 上記3フェーズロジックのマスク回路の回路図である。

[0 2 1 19] また、本発明に係るモータ駆動装置では、PWMのオフ領域でドライバ電流を検出せずサンプリング値を出力することにより、モータのトルクの正逆の切り替え時に生ずる不連続部分がなくなり、モータトルクのリニアリティを確保することができる。

[0 2 1 20] また、本発明に係るモータ駆動装置では、各相コイルを駆動するためのタイミングチャートである。

[0 2 1 21] 上記PLLロジックのプロセスである。

[0 2 1 22] 上記PLLロジックのPLL回路の回路図である。

[0 2 1 23] 上記PLLロジックのPLL回路の回路図である。

[0 2 1 24] 上記PLLロジックのPLL回路の回路図である。

[0 2 1 25] 上記PLLロジックのPLL回路の回路図である。

[0 2 1 26] 上記PLLロジックのPLL回路の回路図である。

[0 2 1 27] 上記PLLロジックのPLL回路の回路図である。

[0 2 1 28] 上記PLLロジックのPLL回路の回路図である。

[0 2 1 29] 上記PLLロジックのPLL回路の回路図である。

[0 2 1 30] 上記PLLロジックのPLL回路の回路図である。

[0 2 1 31] 上記PLL回路の回路図である。

[0 2 1 32] 本発明の実施の形態のモータ駆動装置の回路図である。

[0 2 1 33] 本発明の実施の形態のモータ駆動装置の通常回路の回路図である。

[0 2 1 34] 本発明の実施の形態のモータ駆動装置の通常回路の回路図である。

[0 2 1 35] 本発明の実施の形態のモータ駆動装置の通常回路の回路図である。

[0 2 1 36] 本発明の実施の形態のモータ駆動装置の通常回路の回路図である。

[0 2 1 37] 本発明の実施の形態のモータ駆動装置の通常回路の回路図である。

[0 2 1 38] 本発明の実施の形態のモータ駆動装置の通常回路の回路図である。

[0 2 1 39] 本発明の実施の形態のモータ駆動装置の通常回路の回路図である。

[0 2 1 40] 本発明の実施の形態のモータ駆動装置の通常回路の回路図である。

[0 2 1 41] 本発明の実施の形態のモータ駆動装置の通常回路の回路図である。

[0 2 1 42] 本発明の実施の形態のモータ駆動装置の通常回路の回路図である。

[0 2 1 43] 本発明の実施の形態のモータ駆動装置の通常回路の回路図である。

[0 2 1 44] 本発明の実施の形態のモータ駆動装置の回路図である。

[0 2 1 45] 本発明の実施の形態のモータ駆動装置の回路図である。

[0 2 1 46] 本発明の実施の形態のモータ駆動装置の回路図である。

[0 2 1 47] 本発明の実施の形態のモータ駆動装置の回路図である。

[0 2 1 48] 本発明の実施の形態のモータ駆動装置の回路図である。

[0 2 1 49] 本発明の実施の形態のモータ駆動装置の回路図である。

[0 2 1 50] 本発明の実施の形態のモータ駆動装置の回路図である。

[0 2 1 51] 本発明の実施の形態のモータ駆動装置の回路図である。

[0 2 1 52] 本発明の実施の形態のモータ駆動装置の回路図である。

[0 2 1 53] 本発明の実施の形態のモータ駆動装置の回路図である。

[0 2 1 54] 本発明の実施の形態のモータ駆動装置の回路図である。

[0 2 1 55] 本発明の実施の形態のモータ駆動装置の回路図である。

[0 2 1 56] 本発明の実施の形態のモータ駆動装置の回路図である。

[0 2 1 57] 上記信号処理部のエンジン検出部の回路図である。

[0 2 1 58] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 59] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 60] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 61] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 62] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 63] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 64] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 65] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 66] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 67] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 68] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 69] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 70] 上記エンジン検出部の回路図である。

[0 2 1 71] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 72] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 73] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 74] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 75] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 76] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 77] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 78] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 79] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 80] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 81] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 82] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 83] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 84] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 85] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 86] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 87] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 88] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 89] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 90] 本発明に係るモータ駆動装置では、回路図である。

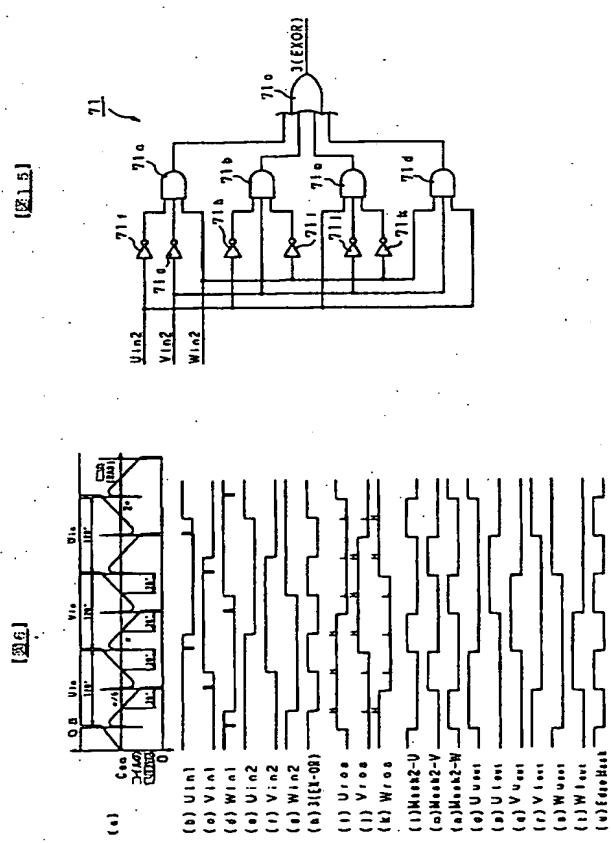
[0 2 1 91] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 92] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 93] 本発明に係るモータ駆動装置では、回路図である。

[0 2 1 94] 本発明に係るモータ駆動装置では、回路図である。

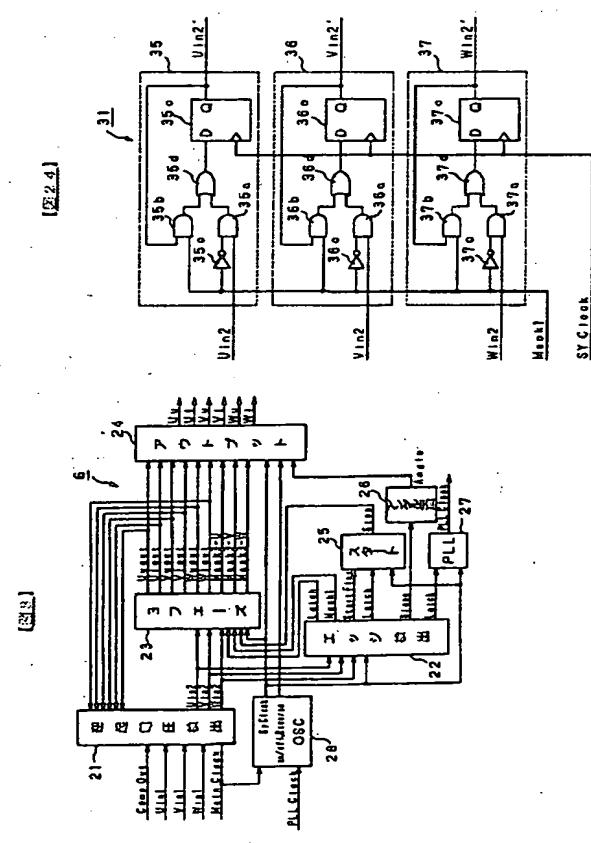
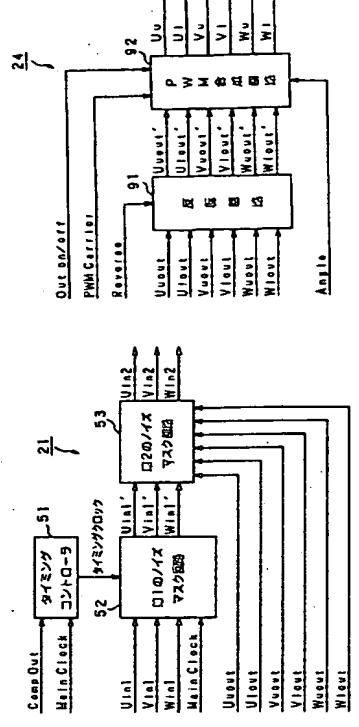
[0 2 1 95] 本発明に係るモータ駆動装置では、回路図である。



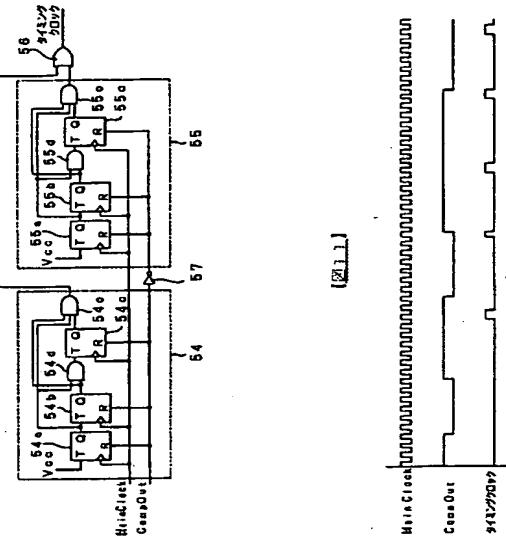
51

[EX 2.8]

[EX 9]

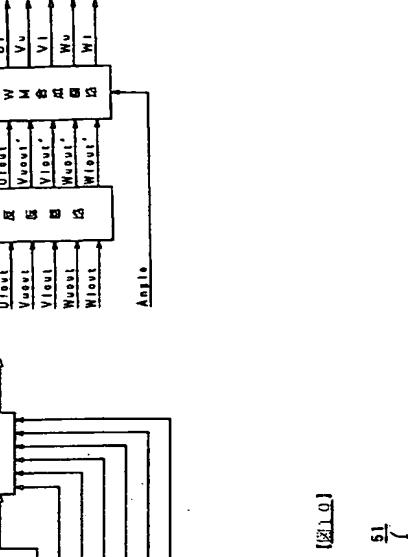


卷四



三

58





(3)

特許平11-4595

[図4]

